

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 58052814 A
 (43) Date of publication of application: 29.03.1983

(51) Int. Cl H01L 21/02

(21) Application number: 56150968
 (22) Date of filing: 24.09.1981

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To permit the analysis of characteristic variations of a circuit in an assembly process to be easily and correctly carried out in relation to the circuit position in its wafer state, by a method wherein each chip obtained by cutting a wafer into each circuit piece is provided with a mark representing its arrangement order in the wafer state.

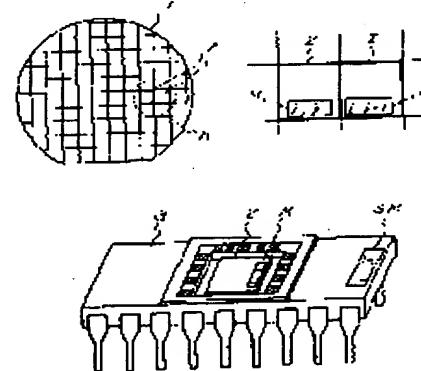
CONSTITUTION: Each of circuits 2, 2... in a wafer is provided with a mark M having a combination of (i) representing the lateral order and (ii) representing the longitudinal order. Therefore, it is possible to identify the position of each chip in its wafer state even after cutting the wafer into chips. If the corresponding chip 2 is mounted on a case 3 previously provided with a mark 3M, in an assembly process, then it is possible to make an assembled circuit and the circuit in its wafer

(71) Applicant: NEC CORP

(72) Inventor: UEJI YASUO

state correspond to each other, one to one. Accordingly, various characteristics of a circuit in its wafer state and those of the circuit after being assembled can be made to correspond to each other.

COPYRIGHT: (C)1983,JPO&Japio



① 日本国特許庁 (JP)
② 公開特許公報 (A)

① 特許出願公開
昭58-52814

③ Int. Cl.
H 01 L 21/02

識別記号

序内整理番号
6679-5F

④ 公開 昭和58年(1983)3月29日

発明の数 1
審査請求 未請求

(全 2 頁)

⑤ 半導体集積回路

⑥ 特 願 昭56-150968
⑦ 出 願 昭56(1981)9月24日
⑧ 発明者 上路康雄

東京都港区芝五丁目33番1号E
本電気株式会社内

⑨ 出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑩ 代理人 弁理士 内原晋

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

ウェーハ状態から各回路微片に切断されて得られたチップを含む半導体集積回路において、前記チップにはウェーハ状態での配列順番を保つ記号が付加されていることを特徴とする半導体集積回路。

3. 説明の詳細を説明

本発明は半導体集積回路に関する。

半導体集積回路の製造は、一般に第1図に示す

仕上げの工程を含む後工程と呼ばれる組立工程に分けられる。

前工程では、一枚のウェーハ上の多段階の回路が同時に処理されるが、後工程では一回路毎の微片に切断されて得られたチップ単位で処理されるこの為、ウェーハ状態での回路と、組立後の回路とを、一一に対応づけが必要な場合、ウェーハの切断から組立完了迄、回路微片、すなわちチップの配列が変わらないように工夫をし、十分な管理が必要であった。そのように取扱っても、配列が狂った場合、正しい配列に戻すことは不可能であった。又、配列が狂ったかどうかの確認すら出来ない状態であった。

このように、ウェーハでの回路と、組立後の回路とを一一に対応させることは難しく困難であ

路端片に切断されて得られるチップにウェーハ状態での配列順番を表わす記号が付加されている。

つぎに本発明を実施例により説明する。

第2図では、ウェーハ上に回路2が多数個作られていることを示しており、点線で囲む△の部分を拡大し、第3図に示す。

第3図に示す如く、本発明では、ウェーハでの各回路2, 2, …の個々には、横行の順番を示す「1、複列の順番を示す」との組合せ(1, 1)をもつ記号Mが付加されているので、チップに切断後も、個々のチップのウェーハ状態の位置を識別することが出来る。

したがって、第4図の如く、組立工程であらかじめ記号3Mを付加したケース3に対応するチップ2を搭載すれば、組立後の回路とウェーハでの回路とは一対一に対応させることが可能である。

記号は一連番号であってもよいし、配列を表わす記号であれば数字でなくとも良い。

以上説明したように、前工程と後工程の回路の対応が一対一で出来るため、ウェーハ状態での回

特開昭59- 52814(2)

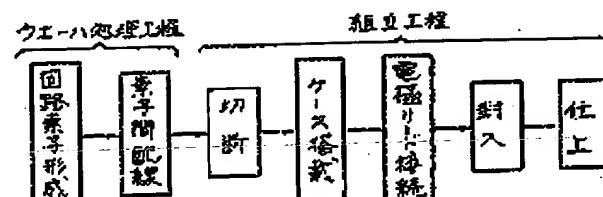
路の諸特性と、組立後の回路の諸特性に対応、即ち、組立工程での特性変動の解析がウェーハ状態での回路位置と関係づけて容易に、正しく行うことが可能になり、本発明の効果は著しいものがある。

4. 図面の簡単な説明

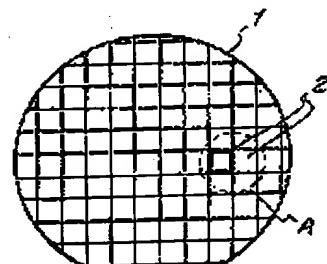
第1図は半導体集成回路の製造流れを示すプロセス図、第2図は本発明の一実施例に係る多数個の回路が形成されたウェーハの平面図、第3図は第2図の△部分拡大図、第4図は本発明の一実施例の斜視図である。

1……半導体ウェーハ、2……チップ、3……チップの配列順番記号、3M……ケース、3M……ケース記号。

代理人 外瑞士 内原 勝



第1図



第2図



第3図

